

5

วงจรถนิตหลายแผ่น

ในบทนี้ท่านจะได้เรียนรู้เกี่ยวกับ

- วงจรถนิตหลายแผ่น
- โครงสร้างของวงจรถนิตหลายแผ่น
- การสร้างวงจรถนิตหลายแผ่น
- การเชื่อมต่อระหว่างวงจร
- ขอบเขตการเชื่อมต่อเน็ต

วงจรถนิตหลายแผ่น

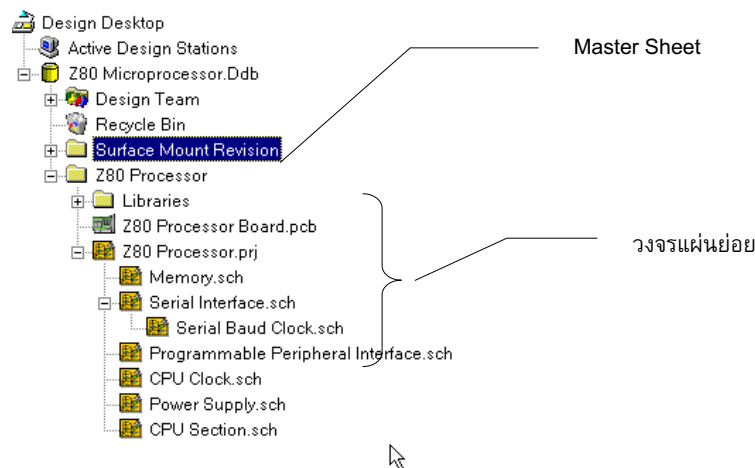
เมื่อบจรมีความซับซ้อนมากขึ้น อุปกรณ์มีจำนวนมากจนไม่สามารถบรรจุได้หมดภายในหน้ากระดาษแผ่นเดียว โปรแกรมได้สร้างเครื่องมือสำหรับจัดการ โดยสามารถเพิ่มจำนวนหน้าจรถนิตและนำหน้าต่างๆมาเชื่อมต่อผ่านทางพอร์ต(Port) กับสัญลักษณ์ชีต(Sheet Symbol) สร้างเป็นวงจรถนิตเหมือนกัน ซึ่งสามารถนำไปทำรายการเน็ต(Net List) เพื่อส่งต่อไปทำ PCB ต่อไป

นอกจากนี้ข้อดีของวงจรถนิตหลายแผ่นคือสามารถแบ่งกันทำงานระหว่างนักออกแบบในทีม เช่นคนที่หนึ่งออกแบบวงจรถนิตหลัก คนที่สองออกแบบพาวเวอร์ซัพพลาย ต่างออกแบบเฉพาะส่วนของตน เมื่อออกแบบเสร็จสามารถนำมารวมกันโดยระหว่างทำงานแต่ละคนใช้ Design Database เดียวกันผ่านทางเน็ตเวิร์ก ซึ่งทำให้การจัดการโครงการขนาดใหญ่เป็นไปได้อย่างสะดวกยิ่งขึ้น

โปรแกรมสนับสนุนการใช้งานทั้งการออกแบบจากบนลงสู่ล่างคือกำหนดหน้าที่และความสัมพันธ์ระหว่างแต่ละหน่วยก่อน จากนั้นจึงเริ่มแบ่งงาน ออกแบบแต่ละหน่วย เมื่อเสร็จจึงนำมารวมกัน สำหรับจากล่างลงสู่บน คือออกแบบแต่ละหน่วยย่อยเสร็จมาก่อน แล้วจึงนำมาประกอบเป็นโครงการใหญ่

โครงสร้างของวงจรชนิดหลายแผ่น

โครงสร้างของวงจรชนิดหลายแผ่นจะเริ่มต้นจากวงจรแผ่นหลัก (Master Sheet) และวงจรร่อยแยกกัน อยู่ในแต่ละแผ่นวงจร เมื่อมองดูใน Design Windows จะเห็นโครงสร้างเป็นลำดับชั้นคือเริ่มจากวงจรหลัก(Master Sheet) และลดหลั่นไปเป็นวงจรร่อยแต่ละวงจรร่อยอาจจะมีวงจรร่อยซ้อนอีกชั้นได้เช่นกัน



การเปิดวงจรทำได้ เช่นเดิมคือคลิกที่ชื่อวงจรที่ต้องการ จะเห็นวงจรปรากฏที่ Design Windows ทั้งนี้ หากต้องการเปิดวงจรทั้งหมดภายในคำสั่งเดียวใช้ คำสั่ง **File>>Open Full Project** โปรแกรมจะวิเคราะห์ความเชื่อมโยงระหว่างวงจรแผ่นต่างๆและเปิดไฟล์ที่ถูกต้องขึ้นมาทั้งหมด

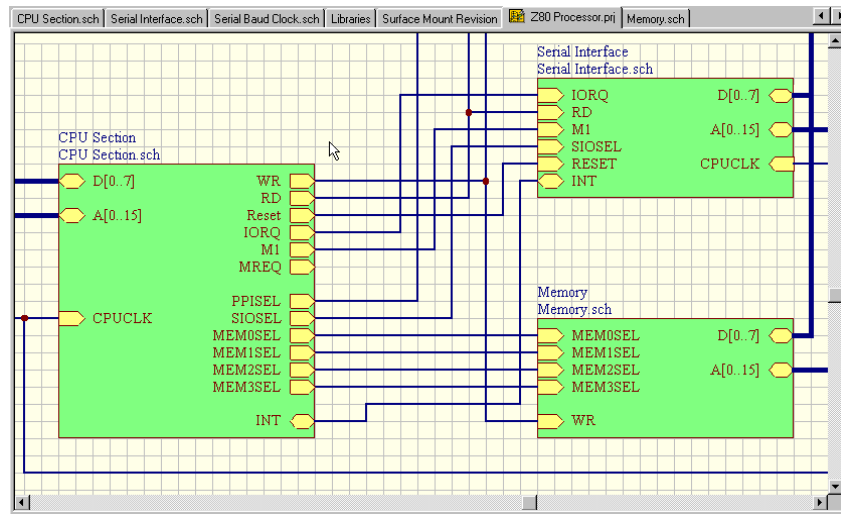
ความซับซ้อนของการจัดเรียงและการเชื่อมต่อของ Net จากวงจรร่อยกับวงจรหลักมีได้หลายวิธี ดังจะได้กล่าวถึงในหัวข้อต่อไป

การสร้างวงจรชนิดหลายแผ่น

การสร้างวงจรชนิดหลายแผ่นจะต้องสร้าง Master Sheet หรือวงจรแผ่นหลักเพื่อใช้เป็นที่สำหรับรวบรวมวงจรร่อยเข้าด้วยกัน การสร้างวงจรแผ่นหลักสร้างได้สองวิธีคือ

การสร้างวงจรจากสัญลักษณ์ชีต(Sheet Symbol)

คือวิธีจากบนสู่ล่าง การออกแบบเริ่มจากกำหนดความต้องการของแต่ละหน่วย จากนั้นลงมือออกแบบแต่ละหน่วยย่อย เมื่อสำเร็จจึงนำหน่วยย่อยมาเชื่อมต่อกัน เช่นต้องการออกแบบระบบไมโครโพรเซสเซอร์ ซึ่งทั้งระบบประกอบด้วยวงจร 3 ส่วนใหญ่ๆคือ 1) ส่วนไมโครโพรเซสเซอร์ 2) ส่วนหน่วยความจำและ 3) ส่วนพาวเวอร์ซัพพลาย เริ่มต้นโดยสร้างบล็อกกว้างๆ กำหนดชื่อแต่ละบล็อก กำหนดสัญญาณที่บล็อกเชื่อมแต่ละบล็อกเข้าด้วยกัน เมื่อตรวจสอบการออกแบบในระดับบนสุด ได้รายละเอียดแต่ละบล็อกตามต้องการ จึงออกแบบวงจรภายในบล็อกภายหลัง

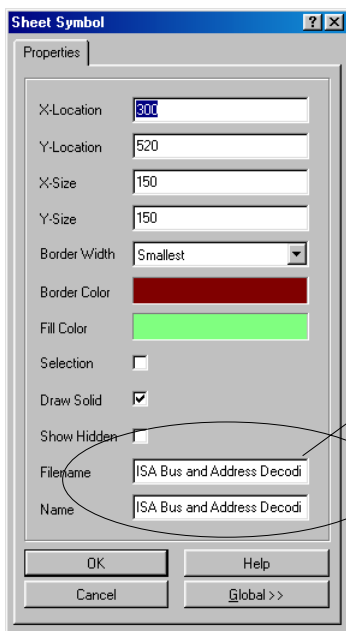


รูปที่ 5—1 แสดงการเชื่อมต่อในวงจรแผ่นหลัก

การกำหนดบล็อกใช้คำสั่ง **Place>>Sheet Symbol [P,S]** เพื่อสร้างสัญลักษณ์ซีตขึ้นมาก่อน กำหนดขนาดโดยคลิกหนึ่งครั้งกำหนดมุมแรก เลื่อนเมาส์ไปเพื่อเลือกมุมที่ 2 ขนาดและตำแหน่งจะเปลี่ยนตามเมาส์ เลือกตำแหน่งที่ต้องการ ขณะยังไม่กำหนดตำแหน่งบล็อกที่แน่นอน กดคีย์ TAB จะ

กำหนดคุณสมบัติเช่น *File Name* สำหรับระบุชื่อไฟล์ของวงจรภายใต้ สัญลักษณ์ซีต *Name* คือชื่อของ สัญลักษณ์ซีต ไม่มีความหมายต่อ Net List อย่างไรก็ดี กำหนดเพื่อใช้เป็นชื่อเรียกเท่านั้น

แต่ ละ สัญลักษณ์ ซีต สามารถกำหนดขนาดและชื่อขา สำหรับเชื่อมสัญญาณ(Wire) การสร้างใช้คำสั่ง **Place>>Add Sheet Entry [P,A]** จากนั้นเลื่อนขาไปวางในตำแหน่งที่ต้องการ หากต้องการเปลี่ยนชื่อขา ทำได้โดยเรียกคุณสมบัติ(กดคีย์ TAB) และเข้าไปเปลี่ยนในช่อง Pin Name



ชื่อไฟล์ของวงจรของ สัญลักษณ์วงจร

เมื่อสร้างสัญลักษณ์ซีตเรียบร้อย ขั้นต่อไปคือสร้างวงจรจากแต่ละสัญลักษณ์ ใช้คำสั่ง **Design>>Create Sheet From Symbol [D,S]** เลื่อนไปคลิกสัญลักษณ์ซีตที่ต้องการ โปรแกรมจะสร้างวงจรแผ่นใหม่ขึ้น มีชื่อเดียวกับที่กำหนดไว้ในช่อง *Name* ของแต่ละสัญลักษณ์

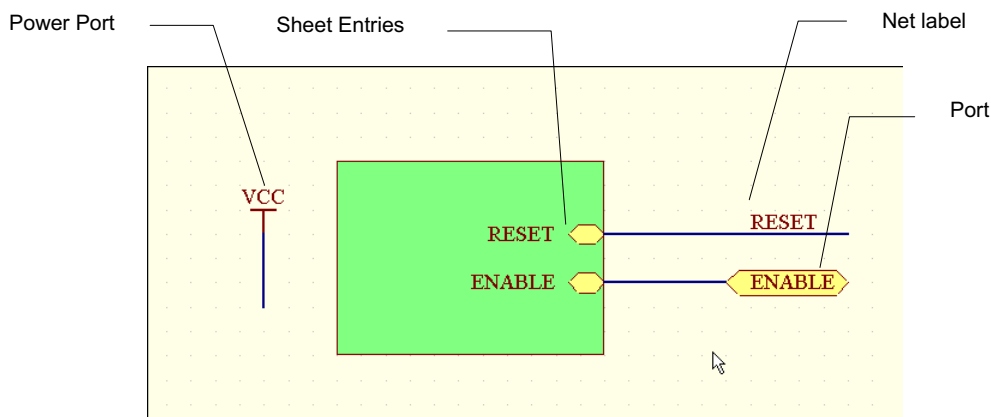
การสร้างวงจรจากแผ่นวงจร(Circuit Sheet)

คือวิธีจากล่างสู่บน คือออกแบบแต่ละหน่วยย่อยแล้วนำมารวมบนวงจรแผ่นหลัก ก่อนเริ่มต้นต้องมีวงจรย่อยสร้างเสร็จไว้แล้ว จากนั้นใช้คำสั่ง **Design>>Create Symbol From Sheet [D,Y]** เมื่อเรียกคำสั่งแล้ว ซอฟต์แวร์จะถามชื่อวงจรโดยแสดงไดอะล็อกบ็อกซ์รายชื่อขึ้นมาให้เลือก เมื่อเลือกเสร็จโปรแกรมจะสร้างบล็อกที่เหลี่ยมมีชื่อขา(Sheet Entry) ตรงกับพอร์ต(Port)จากวงจรที่นำมาสร้างโดยมีทิศทางกลับกัน

ขอบของบล็อกมีสัญลักษณ์ Sheet Entry ผู้ออกแบบสามารถเลือกต่อแต่ละบล็อกเข้าหากันอย่างไรได้อิสระ จะเชื่อมหรือไม่ก็ได้ ทั้งนี้ดูในหัวข้อถัดไปเรื่องขอบเขตของการกำหนดชื่อสัญญาณ

การเลื่อนไปมาระหว่างลำดับชั้นของวงจร (Navigation)

การเลื่อนไปมาระหว่างวงจรหลักและวงจรย่อยทำได้โดยคลิกชื่อวงจรบน Design Manager หรือใช้คำสั่ง **Tools>>Up/Down Hierarchy** เมื่อเรียกคำสั่งแล้วจะเห็นเคอร์เซอร์เปลี่ยนไป เลื่อนไปคลิกที่สัญลักษณ์ซีตจะเห็นวงจรที่เกี่ยวข้องปรากฏขึ้นมาทันที ทำนองเดียวกันภายในแผ่นวงจรหากเลื่อนไปคลิกที่พอร์ตซึ่งต่อไปที่วงจรแผ่นอื่นๆ จะทำให้วงจรแผ่นนั้นปรากฏขึ้นมาเช่นกัน



การเชื่อมต่อระหว่างวงจร

การเชื่อมต่อทางไฟฟ้าระหว่างอุปกรณ์ต่างๆในวงจร กำหนดด้วย Net หรือ Wire แต่ละ Net สามารถกำหนดชื่อเพื่อให้ซอฟต์แวร์เชื่อมต่อเหมือนกันเข้าหากัน แต่หากต่อ Net ถึงกันโดยตรง กรณีนี้ไม่จำเป็นต้องกำหนดชื่อ Net การเชื่อมต่อทั้งหมดมีวิธีโดยสรุปคือ

Net Label	การกำหนดชื่อเน็ต(Net Label) จะทำให้สัญญาณที่มี Net Label ชื่อเดียวกันภายในชีตเดียวกันต่อถึงกัน และอาจจะต่อระหว่างชีตได้ด้วย ขึ้นกับกำหนดทางเลือก เราจะใส่ Net Label เข้ากับขาอุปกรณ์(Pin), บัส(Bus) และ ไวร์(Wire)
Port	พอร์ตคือช่องต่อ พอร์ตสามารถกำหนดให้เชื่อมกับพอร์ตชื่อเดียวกันในชีตเดียวกัน หรือระหว่างชีตในระนาบ(ระดับ)เดียวกัน หรือใช้ต่อกับสัญลักษณ์ชีต(Sheet Symbol) ของชีตที่อยู่เหนือขึ้นไป(ต่างระดับกัน)
Sheet Entry	ทางต่อสัญญาณของสัญลักษณ์ชีต(Sheet Symbol) ใช้สำหรับเป็นช่องต่อของพอร์ตจากวงจรภายใต้สัญลักษณ์ชีต
Power Port	ช่องต่อของแหล่งจ่ายไฟ มีคุณสมบัติพิเศษคือจะเชื่อมเข้าหาพอร์ตที่มีชื่อเดียวกันทั้งโครงการไม่ว่าจะมีจำนวนแผ่นวงจรเท่าใด

ขอบเขตการเชื่อมต่อเน็ต

การกำหนดขอบเขตการเชื่อมต่อเน็ต(Net Identifier Scope) คือเลือกวิธีให้โปรเทลแปลความหมายของสัญลักษณ์เชื่อมต่อวงจร ซึ่งเป็นได้ทั้งโลคอล(Local), โกลบอล (Global) หรือระหว่าง Sheet Entry กับพอร์ต ความหมายของโลคอลคือ Net Label ชื่อเหมือนกัน อยู่ภายในชีตเดียวกันจะเชื่อมถึงกัน แต่ระหว่างชีต จะต่อไม่ถึงกันถึง แม้จะใช้ชื่อเดียวกันก็ตาม ส่วนโกลบอลหมายถึง Net Label ชื่อเหมือนกัน จะต่อถึงกันหมดไม่ว่าจะอยู่ที่ชีตใดก็ตาม สำหรับ Sheet Entry กับ Port หมายถึงเชื่อมต่อระหว่าง Port ในแผ่นวงจรใต้ Sheet Symbol (กรอบในวงจรหลักซึ่งใช้แทนวงจรย่อย) จะต่อตรงตามชื่อเท่านั้น

ขอบเขตการเชื่อมต่อจะกำหนดระหว่างใช้คำสั่ง **Design>>Create Netlist** และ **Tools>>DRC** การเลือกขอบเขตการเชื่อมต่อ มีความสำคัญมากเพราะการเปลี่ยนวิธีระหว่างออกแบบทำให้ความหมายการเชื่อมต่อผิดไป

แบบที่ 1 ชนิด Global Ports

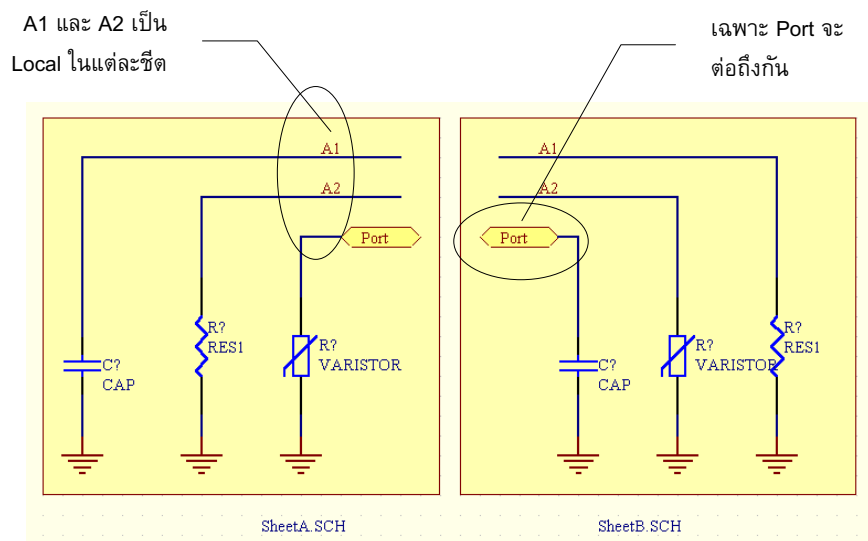
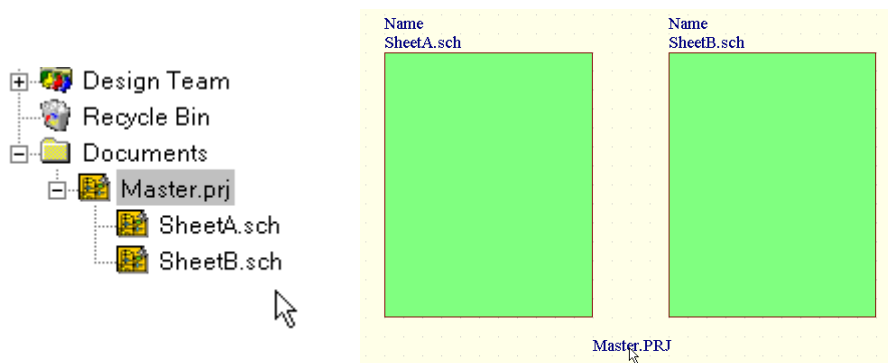
รูปแบบแรกคือชนิดแบนราบ(Flat) แบ่งออกเป็นสองระดับเท่านั้นคือวงจรหลักและวงจรย่อย แต่ละวงจรรย่อยสร้างบนชีตของตนเอง จุดที่ต้องการให้เชื่อมต่อถึงวงจรอื่นจะต่อผ่านพอร์ต(Port) สำหรับ Net Label จะรับรู้เฉพาะบนชีตเดียวกันเท่านั้น(เป็น Local) บนวงจรหลักจะใช้สัญลักษณ์ชีต(Sheet Symbol) เป็นตัวแทนวงจรย่อย แต่ละสัญลักษณ์ไม่จำเป็นต้องต่อสัญญาณใดเข้าหากัน เพราะพอร์ตเป็นโกลบอลคือรับรู้และเชื่อมถึงกันทั้งหมด ชนิดที่ 1 คือการแบ่งวงจรที่ไม่สามารถใส่ได้หมดในชีตเดี่ยวออกเป็นแผ่นย่อยๆ ดังนั้นจึงสามารถเพิ่มชีตย่อยได้มากเท่าที่ต้องการ สำหรับโครงการขนาดใหญ่มีจำนวนชีตมาก จะมีจำนวนพอร์ตมากตามไปด้วย จะตรวจสอบแต่ละพอร์ตเชื่อมชีตใดบ้างได้ยาก เมื่อต้องการให้ซอฟต์แวร์แสดงตำแหน่งอ้างอิงของพอร์ต ใช้คำสั่ง **Reports>>Add Port Reference** ซอฟต์แวร์จะเพิ่มชื่อชีตและ

คู่มือ Protel99

เพิ่มตำแหน่งในบล็อกของชีตตามท้ายชื่อพอร์ต หากไม่ต้องการชื่ออ้างอิงยกเลิกได้ด้วยคำสั่ง **Report>>**

Remove Port Reference

การเลือกกำหนดขอบเขตการเชื่อมต่อเน็ต(Net Identifier Scope) ระหว่างสร้าง Netlist และ ERC เลือก **Only Ports Global**

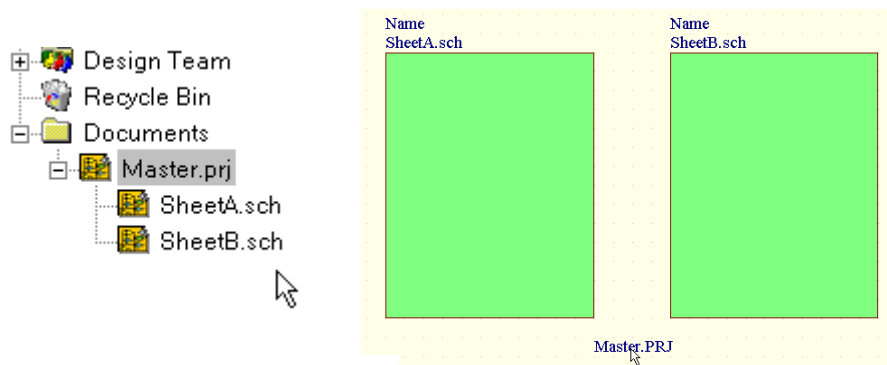


จากรูปโครงสร้างประกอบด้วยวงจรหลักคือ *Master.PRJ* มีวงจรย่อยสร้างด้วย *Sheet Symbol* คือ *SheetA* และ *SheetB* ตามโครงสร้างต้นไม้ใน *Design Manager* แต่ละวงจรย่อยจะใช้พอร์ตเพื่อเชื่อมระหว่างชีตด้วยกัน ในวงจรหลักไม่จำเป็นต้องเชื่อมระหว่าง *Sheet Entry* เพราะพอร์ตเป็นโกลบอล ส่วน *NetLabel* ในชีตย่อยจะต่อไม่ถึงกันเพราะเป็นโลคอลในแต่ละชีต ขอบเขตของเน็ต (Net Identifier Scope) ต้องเลือกเป็น **Only Ports Global**

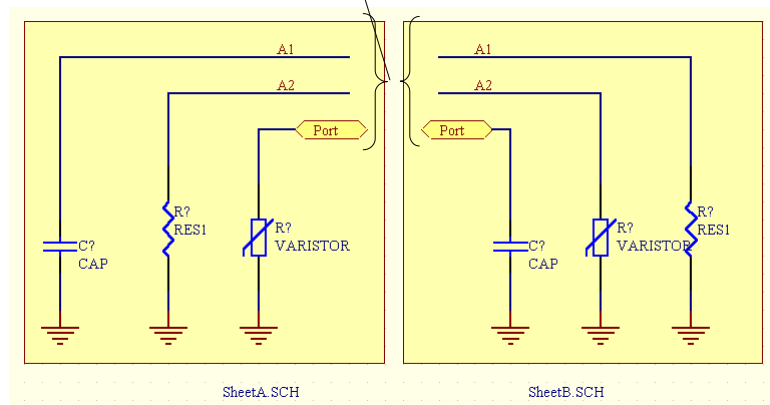
แบบที่ 2 ชนิด *Global Ports* และ *Net Label*

คือชนิดที่ง่ายที่สุด ทุกๆ Net Label และพอร์ตเป็นที่รับรู้ไปทั่วทั้งโครงการ Net และพอร์ตที่มีชื่อเดียวกัน จะถูกนำมารวมกันไม่ว่าจะอยู่ที่วงจรแผ่นใดก็ตาม

การเลือกกำหนด Net Identifier Scope ระหว่างสร้าง Netlist และ ERC เลือก **Net Labels and Ports Global**



ต่อถึงกันทั้งหมด



จากรูปโครงสร้างประกอบด้วยวงจรหลักคือ *Master.PRJ* มีวงจรย่อยสร้างด้วย *Sheet Symbol* คือ *SheetA* และ *SheetB* ตามโครงสร้างต้นไม้ใน *Design Manager* แต่ละวงจรย่อยจะใช้ *Port* และ *Net Label* เพื่อเชื่อมต่อระหว่างชีต เพราะทั้งสองเป็นโกลบอล ในวงจรหลักไม่จำเป็นต้องเชื่อมระหว่าง *Sheet Entry* ขอบเขตของ Net (*Net Identifier Scope*) ต้องเลือกเป็น **Net Label and Ports Global**

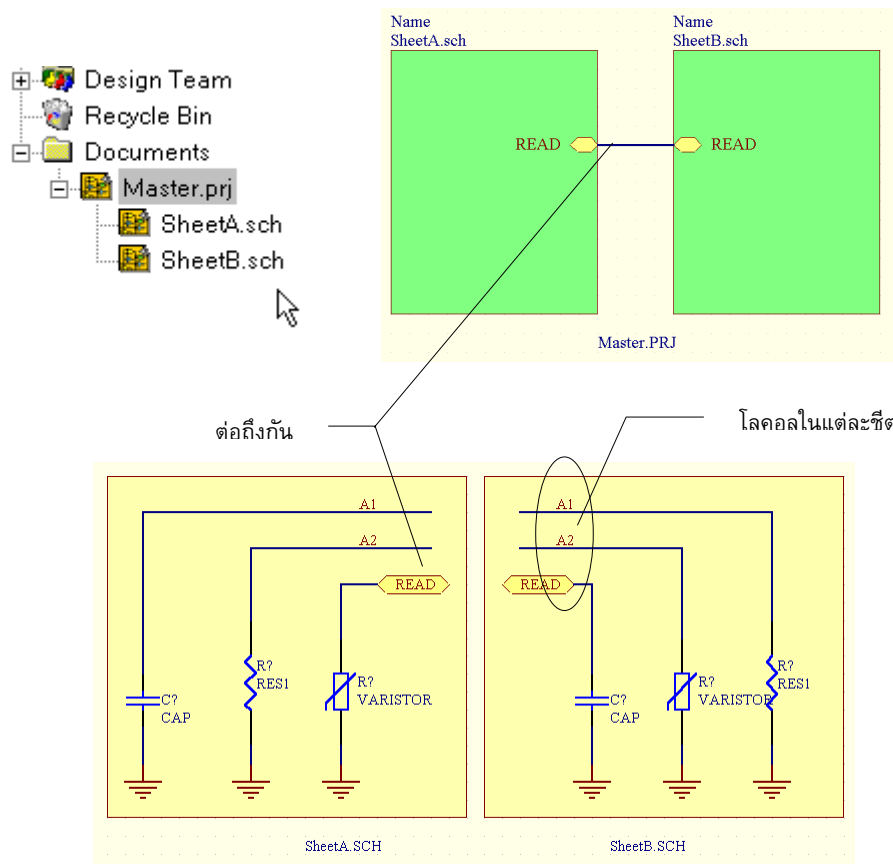
แบบที่ 3 ชนิดลำดับชั้นอย่างง่าย

ลำดับชั้นอย่างง่ายประกอบด้วยแผ่นวงจรหลัก มีสัญลักษณ์ชีต(*Sheet Symbol*) เป็นตัวแทนของวงจรย่อยซึ่งอยู่ที่ตัววงจรหลักลงไปด้านล่าง ที่สัญลักษณ์ชีตมีทางเข้าของชีต(*Sheet Entry*)ซึ่งชื่อจะตรงกับชื่อ

คู่มือ Protel99

พอร์ตของวงจรใต้ล่าง สำหรับระดับวงจรหลักจำเป็นต้องเชื่อมสัญญาณทางเข้าชิต(Sheet Entry)เข้าหากัน เหมือนเป็นขาอุปกรณ์ ลำดับชั้นเช่นนี้ไม่จำกัดเพียงสองระดับ สามารถเพิ่มระดับย่อยในระดับย่อยได้ตามต้องการ แบบที่ 3 เป็นชนิดที่ เหมาะสมกับการออกแบบวงจรชนิดลำดับชั้นมากที่สุด

การเลือกกำหนดขอบเขตการเชื่อมต่อเน็ต(Net Identifier Scope) ระหว่างสร้าง Netlist และ ERC เลือก **Sheet Symbol/Port Connection**

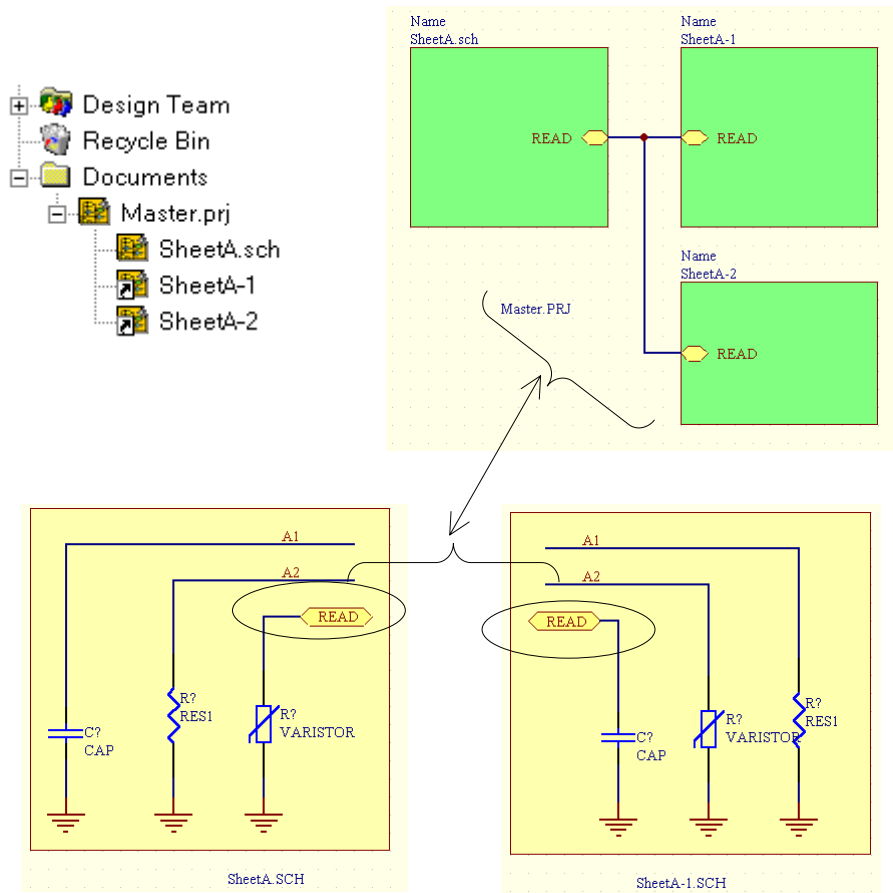


จากรูปโครงสร้างประกอบด้วยวงจรหลักคือ *Master.PRJ* มีวงจรย่อยสร้างด้วย *Sheet Symbol* คือ *SheetA* และ *SheetB* ตามโครงสร้างต้นไม้ใน *Design Manager* แต่ละ *Sheet Entry* บน *Sheet Symbol* จะต่อเข้ากับ *Port* ของวงจรใต้ล่าง ในระดับบนต้องเชื่อมด้วย *Wire* ระหว่าง *Sheet Entry* มง *Sheet Symbol* เหมือนเป็น IC หรืออุปกรณ์ตัวหนึ่ง การเชื่อมระหว่าง *Sheet Entry* อาจเชื่อมต่อที่ต่างกัน ได้ กรณีนี้ต้องเลือก *Net Identifier Scope* เป็น **Sheet Symbols/Ports Connection**

แบบที่ 4 ชนิดลำดับชั้นซับซ้อน

ลำดับชั้นชนิดซับซ้อน ประกอบด้วยวงจรหลักและวงจย่อย แต่มีการอ้างถึงวงจย่อยจากวงจรหลักมากกว่าหนึ่งครั้ง เช่นการออกแบบบอร์ดในตู้สาขาโทรศัพท์ 8 คู่สาย ไม่จำเป็นต้องใส่วงจร 8 ครั้ง เพียงแต่สร้างวงจรขึ้น 1 ชุด จากนั้นเรียกใช้ในวงจย่อยผ่านทางสัญลักษณ์ชีต (Sheet Symbol) 8 ครั้ง การเชื่อมต่อในระดับวงจรหลักทำเช่นเดียวกับแบบที่ 3 เมื่อถึงขั้นตอนการสร้างรายชื่อเน็ท(Net List) จำเป็นต้องให้ซอฟต์แวร์กระจายวงจทั้งหมดออกเป็นระนาบอย่างกว้างก่อน(Flatten) ใช้คำสั่ง **Tools>> Complex To Simple** คำสั่งจะทำซ้ำชีตที่เรียกใช้หลายครั้งให้เป็นวงจรจริงๆ และจำเป็นต้องทำ Annotation ใหม่(การกำหนด Reference Designator) เพื่อไม่ให้อุปกรณ์มีชื่อซ้ำกัน

การเลือกกำหนด Net Identifier Scope ระหว่างสร้าง Netlist และ ERC เลือก **Sheet Symbol/Port Connection**



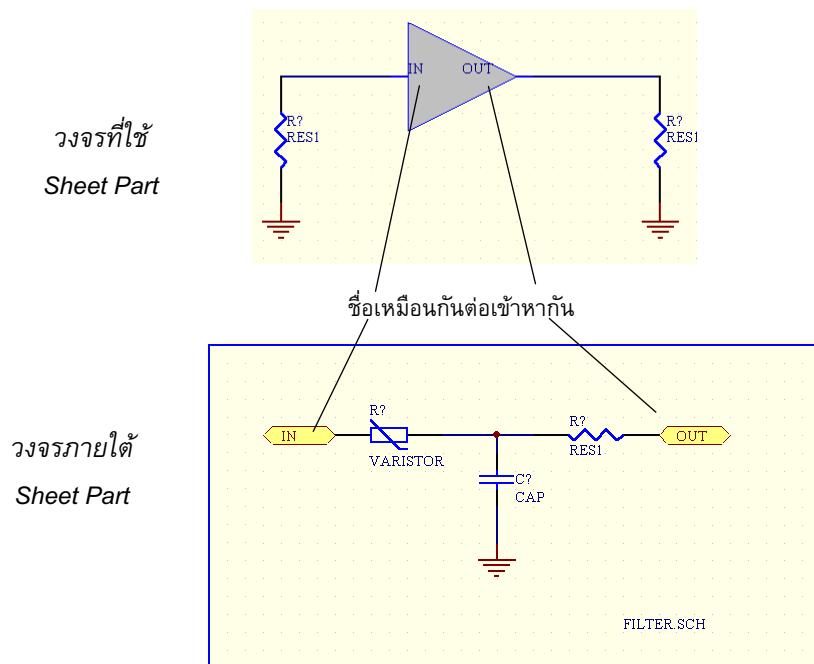
จากรูปคือวงจรลำดับชั้นชนิดซับซ้อน ในวงจรหลัก Master.PRJ ประกอบด้วย Sheet Symbol 3 ชุดคือ SheetA, SheetA-1 และ SheetA-2 โดยที่ SheetA-1 และ SheetA-2 นั้นเป็นวงจรเดียวกันแต่ใช้ 2 ครั้ง

คู่มือ Protel99

ตั้งชื่อ SheetA-1 และ SheetA-2 ใน Properties ของ Sheet Symbol จะระบุเป็น Shortcut (ตัวชี้ไปที่ไฟล์-เหมือนกับใน Windows Explorer ของ Win95/98) (ดูรูปโครงสร้างใน Design Manager ประกอบ) การเชื่อมต่อระหว่าง Sheet Symbol และชีตจะผ่านพอร์ต ในระดับบนจำเป็นต้อง Wire เข้าหากัน เมื่อสั่งให้ Flatten ซอฟต์แวร์จะทำซ้ำวงจรที่ใช้หลายครั้ง ต้องกำหนด Ref. Des ใหม่ และต้องเลือก Net Identifier Scope เป็น **Sheet Symbol/Port Connection**

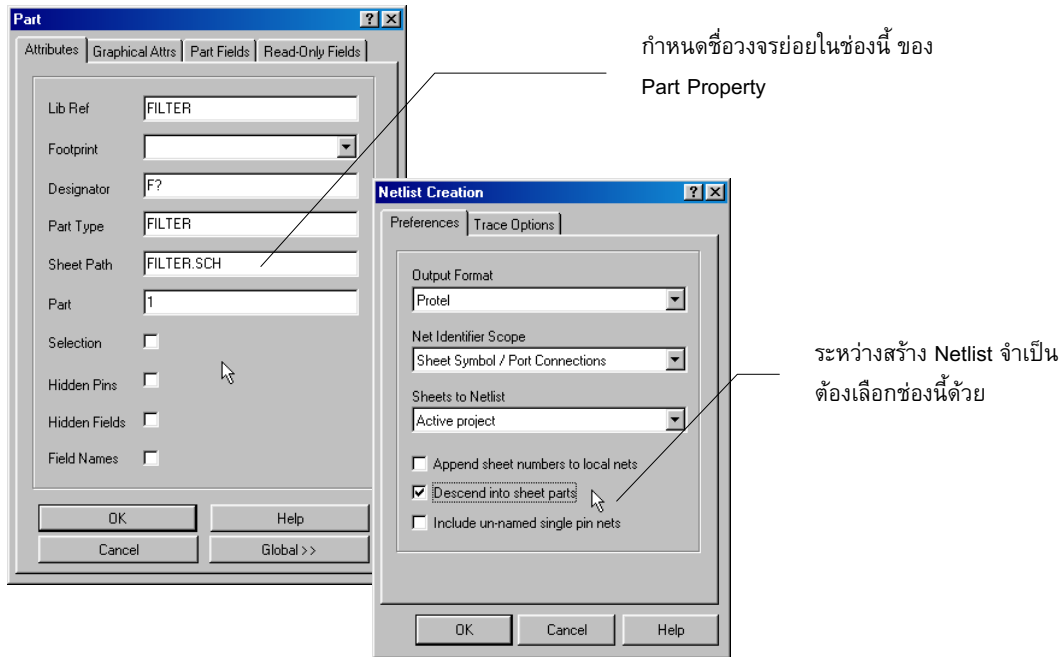
แบบที่ 5 การใช้ Sheet Part

คือรูปแบบพิเศษ ที่ต้องการสร้างวงจรลำดับชั้นด้วยอุปกรณ์จากไลบรารีและต้องการระบุวงจรที่ซ่อนอยู่ใต้อุปกรณ์โดยละเอียด โดยทั่วไปเราจะตัดตอนระหว่างวงจรภายในอุปกรณ์ออกจากวงจรที่ออกแบบ เราสนใจเฉพาะการทำงานและอินเทอร์เฟซของแต่ละขา IC เท่านั้น แต่ในกรณีที่ต้องการจำลองการทำงานวงจรโดยไม่มีโมเดลของอุปกรณ์จริง ตั้งขึ้นแก้ไขโดยระบุวงจรที่ซ่อนอยู่ภายใต้อุปกรณ์นั้นแทน การใช้งานอีกตัวอย่างเช่นต้องการระบุสัญลักษณ์ชีตเป็นรูปร่างอุปกรณ์ซึ่งมีรูปร่างได้อิสระแทนที่จะเป็นรูปสี่เหลี่ยมตาม Sheet Symbol



จากรูปบนคือวงจรซึ่งสร้างโดยเลือกใช้ Part และมีวงจรซ่อนอยู่ใน Part ในรูปด้านล่าง ที่ขาของ Sheet Part จะต้องตรงกับชื่อ Port การกำหนดชื่อชีตใส่ได้ขณะแก้ไขคุณสมบัติ Part หรือระหว่างสร้าง Part ใน Part Editor

การเลือกกำหนด Net Identifier Scope ระหว่างสร้าง Netlist และ ERC เลือก **Sheet Symbol/Port Connection** และต้องกำหนดช่อง **Descend into sheet Part** (คือวิ่งลงไปใ้ในวงจรย่อยของอุปกรณ์)



สรุป

การสร้างวงจรชนิดซับซ้อนประกอบด้วยวงจรหลายๆแผ่นมีทางเลือกต่างๆได้มาก เช่นชนิดระนาบแบน ซึ่งทุกๆ Port และ Net Label ต่อถึงกันหมด วิธีนี้เหมาะสมกับจำนวนวงจรไม่มากนัก เพราะยากต่อการตรวจสอบว่า Net ใดเชื่อมถึงกันเพราะชื่อซ้ำกันโดยไม่ตั้งใจหรือไม่ วิธีที่ซับซ้อนขึ้นคือเลือกให้แต่ละวงจรย่อยเชื่อมผ่านทาง Port แทน และ Net Label ที่กำหนดในแต่ละ Sheet จะเป็น Local หรือรับรู้เฉพาะในวงจรนั้น หากมีสองวงจรที่ใช้ชื่อเดียวกันจะไม่เชื่อมเข้าหากัน การเลือกวิธีใดแล้วแต่ความเหมาะสม แต่จำเป็นต้องตัดสินใจเลือกก่อนเริ่มสร้างวงจร