

12

ตรวจสอบและจัดการชิ้นงาน

ในบทนี้ท่านจะได้เรียนรู้เกี่ยวกับ

- การตรวจสอบความผิดพลาด
- ตรวจสอบชนิด Batch DRC
- การตรวจสอบชนิดทันที
- ตรวจสอบ Signal Integrity
- การตรวจสอบ Reflection และ Cross-Talk
- การสร้างรายงาน
- ความสอดคล้องชิ้นงาน (Design Synchronization)
- การส่งผ่าน Design ไปที่ PCB
- การส่งกลับ Design จาก PCB
- การซิงโครไนส์เค็มมาติกหรือ PCB ที่นำเข้า

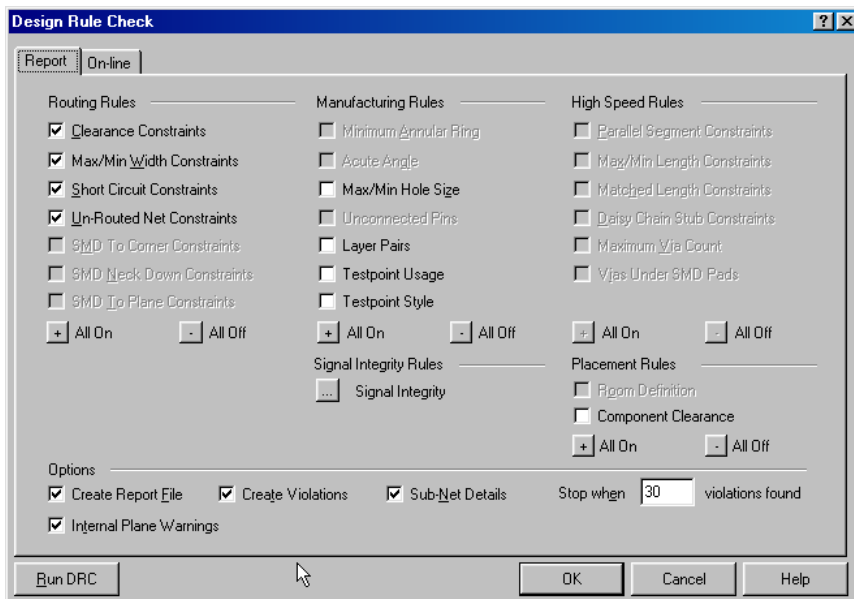
การตรวจสอบความผิดพลาด

ระหว่างการออกแบบชิ้นงาน ซอฟต์แวร์จะใช้กฎการออกแบบเป็นเครื่องมือบังคับให้การจัดการวัตถุต่างๆ เช่นแทร็ค(Track), แพ็ด(Pad), เวีย(Via), แผ่นทองแดง(Copper) ฯลฯ บน PCB ให้อยู่ในขอบเขต อย่างไรก็ตามการบังคับจะใช้กับการทำงานชนิดอัตโนมัติใน Auto Placer และ Auto Router ถ้าเป็นการออกแบบด้วยตนเองหรือ Manual Design ซอฟต์แวร์จะไม่สามารถบังคับผู้ใช้งานได้ ซอฟต์แวร์เพียงแค่เตือนให้รับรู้ ซึ่งผู้ออกแบบสามารถเลือกจะละเลยหรือเชื่อฟังและปฏิบัติตามได้เช่นกัน การเตือนทำได้สองวิธีใหญ่ๆคือ การตรวจสอบชนิดทันที(Online DRC-Design Rule Check) และการตรวจสอบเมื่อสั่งให้ตรวจ

(Batch DRC) การตรวจสอบชนิดทันที เมื่อโปรเทลตรวจพบความผิดพลาด โปรเทลจะแสดงโดยเปลี่ยนสีวัตถุเป็นเส้นเน้น(ปกติเป็นสีเขียวอ่อน) ผู้ออกแบบจะสังเกตเห็นและเปลี่ยนตำแหน่งการวางวัตถุเพื่อให้ข้อผิดพลาดนั้นหายไป สำหรับการตรวจสอบชนิดเมื่อสั่ง จะทำงานคล้ายชนิดทันที แต่จะเริ่มต้นตรวจสอบเมื่อสั่งให้ทำงานเท่านั้น ผลลัพธ์ที่ได้จะแสดงอยู่ในรูปไฟล์รายงาน และแสดงตำแหน่งบนภาพกราฟิก ซึ่งสามารถบราวซ์วัตถุได้จาก PCB เช่นเดียวกับวัตถุอื่นๆ โดยทั่วไปก่อนจะถือว่างานเสร็จสมบูรณ์ควรจะสั่งตรวจสอบทั้งหมดอีกครั้งหนึ่ง

ตรวจสอบชนิด Batch DRC

เมื่อต้องการตรวจสอบชิ้นงาน ใช้คำสั่ง **Tools>>Design Rule Check [T,D]** จะเห็นรูปที่ 12—1 ปรากฏขึ้น การใช้งานแบ่งออกเป็น 2 ชนิดคือชนิดทันที(Online) และทำเมื่อสั่ง(Report) แต่ละทางเลือกกำหนดจากแถบบนไดอะล็อกบ็อกซ์



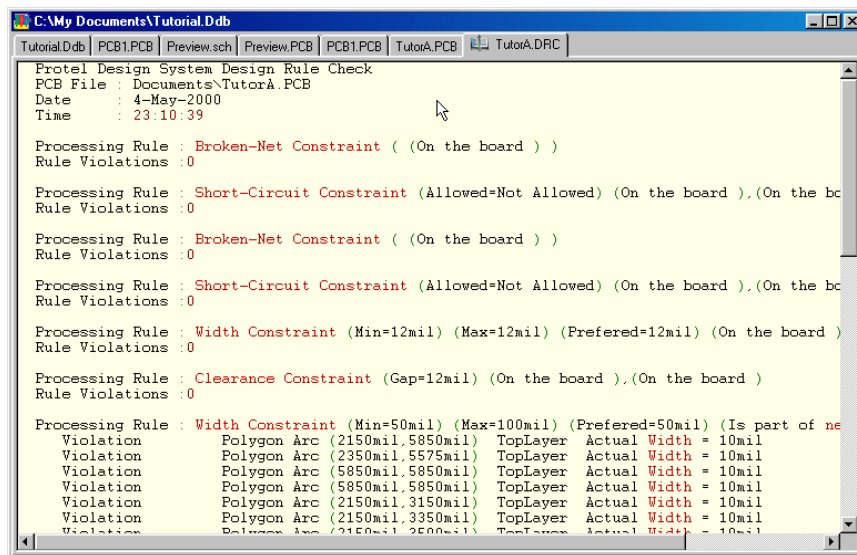
รูปที่ 12—1 ทางเลือกต่างๆสำหรับ Batch DRC

ทางเลือกต่างๆในไดอะล็อกบ็อกซ์ DRC ประกอบด้วยข้อกำหนดการออกแบบ ซึ่งผู้ออกแบบได้กำหนดในคำสั่ง *Design>>Rules* กฎข้อใดที่กำหนดค่ามีการบังคับกับชิ้นงาน จะมีให้เลือกในไดอะล็อกบ็อกซ์นี้ เป็นตัวอักษรสีเข้ม สำหรับกฎข้อใดเป็นสีจางหมายถึงไม่ได้กำหนด หรือไม่ได้ใช้ระหว่างการออกแบบ ดังนั้นจะไม่สามารถสั่งให้ตรวจสอบ กฎแต่ละข้อที่กำหนดสามารถเลือกให้ตรวจสอบ โดยช่องใดมีเครื่องหมายถูกหมายถึงสั่งให้ตรวจสอบกฎข้อนั้น หากคลิกที่ปุ่ม **All On** หมายถึงให้เลือกกฎทุกข้อในหัวข้อนั้น สำหรับ **All Off** จะไม่เลือกทุกข้อ

ในบริเวณ Option กำหนดทางเลือกเพิ่มเติม มีความหมายดังนี้

Create Report File	กำหนดให้สร้างไฟล์รายงาน
Create Violation	กำหนดให้สร้างเครื่องหมายระบุตำแหน่งผิดพลาดบนชิ้นงาน
Sub-Net Detail	กำหนดให้ระบุรายละเอียดของเน็ตย่อย
Internal Plane Warning	กำหนดให้เตือนกับเพลน(ระนาบทองแดง)ภายใน
Stop when	กำหนดให้หยุดตรวจสอบ เมื่อมีจำนวนของความผิดพลาดมากกว่า กำหนด

เมื่อกำหนดทางเลือกต่างๆเรียบร้อย คลิกที่ปุ่ม **Run DRC** รอสักครู่หนึ่ง ซอฟต์แวร์จะสร้างไฟล์รายงานชื่อเดียวกับชิ้นงานแต่มีนามสกุลเป็น “DRC” ดังเช่นรูปที่ 12—2 ข้อมูลแสดงชื่อกฎการออกแบบ,จำนวนและตำแหน่งที่ละเมิดกฎนั้นๆ

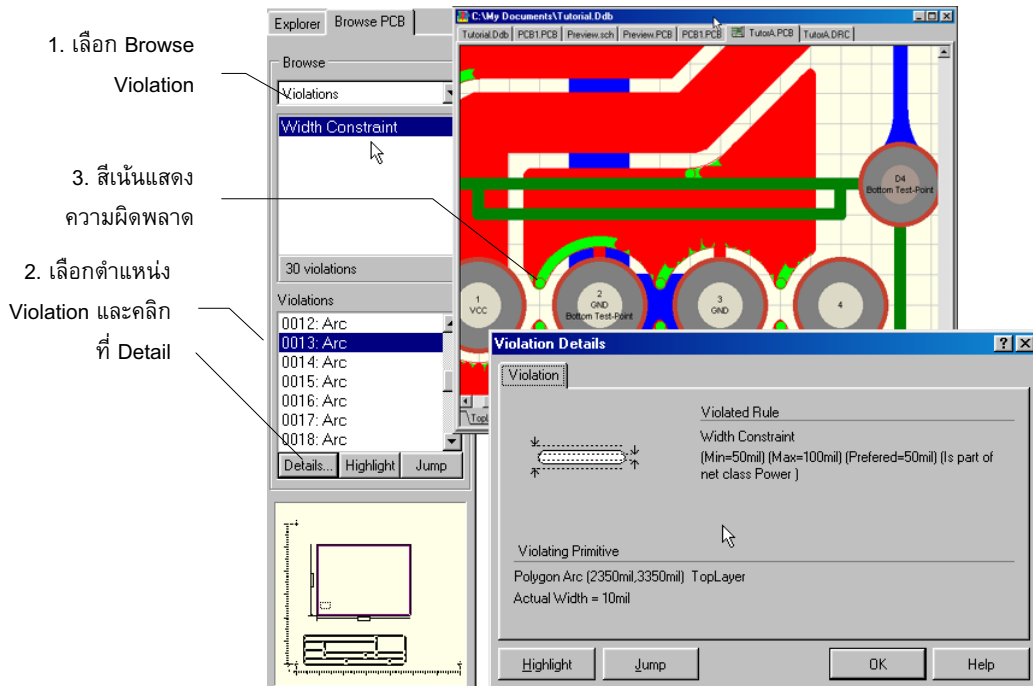


รูปที่ 12—2 แสดงไฟล์รายงานซึ่งสร้างมาจาก DRC

การค้นหาคำแหน่งผิดพลาด

ถ้าหากในไดอะล็อกบ็อกซ์ของ DRC ได้กำหนดทางเลือก *Create Violation* จะทำให้โปรแกรมตรวจสอบชิ้นงาน และถ้าหากมีความผิดพลาดนอกจากจะรายงานในรูปแบบไฟล์รายงาน ซอฟต์แวร์จะระบุตำแหน่งโดยแสดงเป็นกราฟิกบน PCB ให้ด้วย การค้นหาคำแหน่งผิดพลาดเริ่มต้นจาก เมื่ออยู่ใน PCB Editor ทางด้านซ้ายมือใน Design Manager คลิกบนแถบ **Browse PCB** ดูในช่อง *Browse* ในกรอบดาว์นเลือก **Violations** ในช่องใต้ Browse คือชื่อกฎซึ่งมีการละเมิดกฎในชิ้นงาน เลือกชื่อกฎจากนั้นเลือกตำแหน่ง

ในช่อง Violations ซึ่งอยู่ใต้ลงมา ถ้าต้องการดูสาเหตุความผิดพลาด ให้คลิกที่ปุ่ม **Detail** (ดูรูปที่ 12—3 ประกอบ) โปรแกรมจะแสดงไดอะล็อกบ็อกซ์ซึ่งกฎและคำอธิบายเหตุผล



รูปที่ 12—3 แสดงตำแหน่งผิดพลาดและสาเหตุ

ในหน้าต่างพื้นที่ซึ่งงานจะแสดงบริเวณที่มีความผิดพลาดเป็นสีเน้น โดยปกติจะเป็นสีเขียวอ่อน ถ้าชิ้นงานมีความผิดพลาด แต่ PCB ไม่แสดงสีเน้นต้องตรวจสอบดังนี้

- ใน **Design>>Option** บริเวณ **System** ต้องเช็คถูกที่ **DRC Error**
- ใน **Tools>>Preference** บนแถบ **Color** ดูในช่องสีของ **DRC Error** ได้กำหนดสีให้เห็นอย่างเด่นชัดหรือไม่ (ปกติเป็นสีเขียวอ่อน)

การแก้ไขความผิดพลาด

เริ่มแรกต้องแยกแยะสาเหตุให้ได้ เช่นเนื่องจากระยะห่าง หรือเนื่องจาลัดวงจร หรือเนื่องจากความกว้างเส้นทองแดง สาเหตุเหล่านี้จะสอดคล้องกับกฎการออกแบบ (Design Rule) ดังนั้นกฎข้อใดที่กำหนดไว้ และชิ้นงานไม่เป็นไปตามกฎ ซอฟต์แวร์จะแสดงความผิดพลาดให้เห็น เนื่องจากผู้ออกแบบเป็นผู้กำหนดกฎ ดังนั้นเมื่อค้นพบตำแหน่งที่ผิดพลาดจะทราบได้และแก้ไขโดยเลื่อนตำแหน่งวัตถุหรือเปลี่ยนขนาดให้เป็นไปตามกฎต่อไป

การตรวจสอบชนิดทันที

การตรวจสอบชนิดทันทีหรือ On-line DRC หมายถึงระหว่างออกแบบ PCB ซอฟต์แวร์สามารถเตือนให้ผู้ออกแบบทราบได้ว่ากำลังละเมิดกฎการออกแบบหรือไม่โดยแสดงเป็นสีเน้นให้เห็น

กำหนด Online DRC

เมื่อต้องการใช้ Online DRC เรียกคำสั่ง **Tools>>Design Rule Check [T,D]** จะเห็นไดอะล็อกบ็อกซ์ดังรูปที่ 12—1 ปรากฏขึ้น ภายในจะมี 2 แถบ ให้เลือกแถบ Online กำหนดกฎข้อที่ต้องการตรวจสอบเช่นเดียวกับ Report เมื่อกำหนดทางเลือกเสร็จคลิกที่ **OK**

การกำหนดทางเลือกสามารถเลือกได้มากเท่าที่ต้องการ จำกัดด้วยความสามารถของคอมพิวเตอร์ เนื่องจากซอฟต์แวร์จะต้องตรวจสอบตลอดเวลา ดังนั้นถ้ามีกฎจำนวนมากต้องตรวจสอบจะทำให้ใช้เวลามาก อาจทำให้ผู้ใช้รู้สึกความแตกต่างได้ ดังนั้นจึงเป็นการดีที่จะเลือก Online เฉพาะกฎข้อที่สำคัญ เช่น Clearance, Width สำหรับกฎอื่นๆเช่น Signal Integrity ควรใช้ชนิด Batch DRC แทน

การแสดงรายละเอียดตำแหน่งที่ผิดพลาด

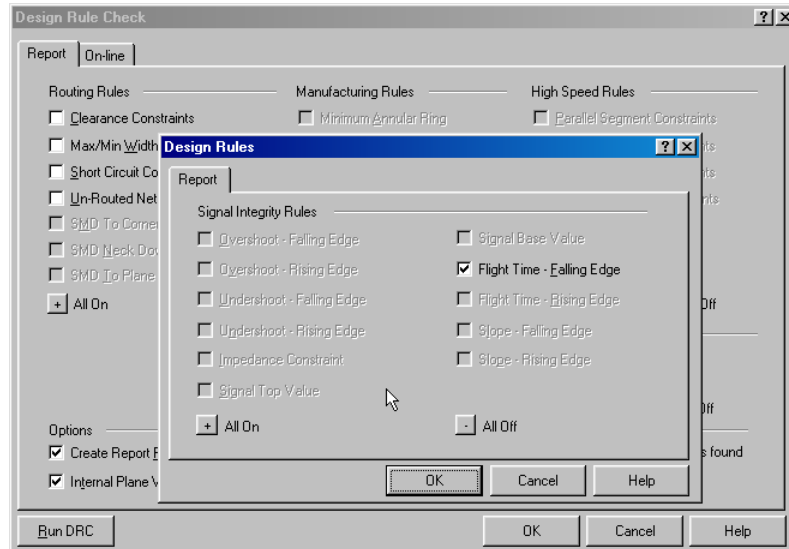
เมื่อกำหนดทางเลือกของ Online DRC แล้ว สามารถทดลองดูได้โดยเลื่อนแท็บให้ทับซ้อนกัน หากได้กำหนดกฎข้อนี้ไว้ ซอฟต์แวร์จะแสดงการเตือนทางจอภาพทันที การค้นหาตำแหน่งสามารถใช้ Design Manager ได้เช่นเดียวกับ Batch ในหัวข้อที่ผ่านมา

ตรวจสอบ Signal Integrity

การตรวจสอบความถูกต้องของสัญญาณ (Signal Integrity) หมายถึงการตรวจสอบรูปร่างของสัญญาณเอาท์พุทผ่านแท็บไปยังอินพุท รูปร่างนี้จะเปลี่ยนไปตามลักษณะการเดินทางของแดง, ความหนาเส้นทองแดง, คุณสมบัติของแผ่น PCB การตรวจสอบนี้ทำโดยจำลองคุณลักษณะด้วยสมการทางคณิตศาสตร์ นำมาคำนวณด้วยการแทนตัวแปรจากชิ้นงาน ผลลัพธ์ที่ได้จะแสดงในรูปเช่นค่าระดับแรงดัน ระดับการกระเพื่อมแรงดัน เป็นต้น

การตรวจสอบมีความสำคัญต่อการออกแบบวงจรชนิดความเร็วสูง เนื่องจากเมื่อวงจรมีความเร็วสูงขึ้นหรือมีการเปลี่ยนแปลงสัญญาณเร็วๆ เช่นวงจรดิจิทัล จะทำให้ผลของเส้นทองแดงกลายเป็น Transmission Line(สายส่งสัญญาณ) ซึ่งไม่สามารถใช้สมการทางไฟฟ้าพื้นฐานมาคิดได้ รูปร่างของสัญญาณที่เปลี่ยนไปจะมีผลกระทบเช่นทำให้ระดับลอจิกเปลี่ยนไป ทำให้ระดับแรงดันอ้างอิงระหว่างสองจุดเปลี่ยนไป สัญญาณมีการหน่วงเวลาออกไปเป็นต้น หากสามารถควบคุมได้จะทำให้ชิ้นงานที่ออกแบบมั่นใจได้ระดับหนึ่งว่าจะไม่มีปัญหาเมื่อนำไปสร้างชิ้นงานจริงๆ

การตรวจสอบ Signal Integrity จะใช้ได้ผลแม่นยำสำหรับบอร์ดที่ออกแบบโดยมี Power Plane แต่ถึงแม้ไม่มีก็สามารถใช้งานได้ วิธีการจำลองอุปกรณ์โปรเทลจะใช้ตามมาตรฐาน IBIS หากสนใจมาตรฐานนี้สามารถดูรายละเอียดเพิ่มเติมได้ที่ <http://www.eia.org/eig/ibis/ibis.htm>



รูปที่ 12—4 กำหนดกฎการตรวจสอบของ SI

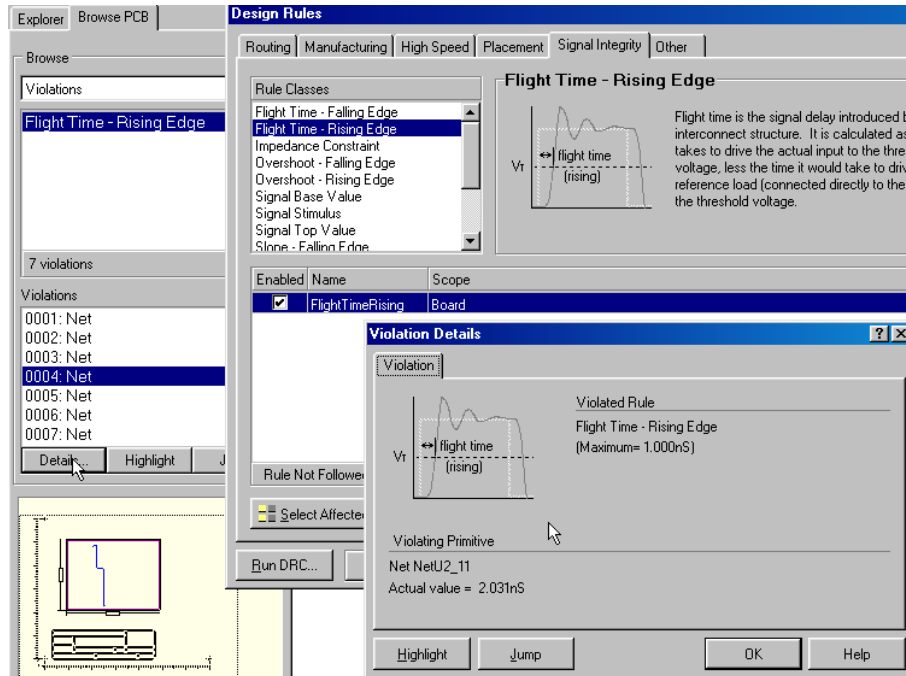
กฎที่เกี่ยวข้องกับ SI (Signal Integrity)

เมื่อต้องการใช้ SI จำเป็นต้องกำหนดสิ่งที่เกี่ยวข้อง 3 อย่างคือ (1) กำหนดกฎการออกแบบด้วยคำสั่ง *Design>>Rules* ในแถบ *Signal Integrity* กำหนดกฎที่ต้องการตรวจสอบเช่น **Flight Time-Falling Edge**, **Flight Time-Rising Edge** เป็นต้น กฎข้อใดไม่ต้องการตรวจสอบไม่จำเป็นต้องกำหนด ขอให้ดูในบทที่ 7 ทำความรู้จักกับ PCB Layout (2) กำหนดเน็ตซึ่งเป็น Power Supply ใน *Design Rule* กฎข้อ **Supply Nets** (3) กำหนดพารามิเตอร์ของ PCB ใน *Design>>Layer Stack Manager* กำหนดความหนาของทองแดง โดยคลิกที่ชื่อฉนวนระหว่างด้านของ PCB คลิกที่ *Properties* เลือกกำหนดค่า **Dielectric Constant** และวัสดุของสารใช้ทำ PCB

เริ่มต้นตรวจสอบ

เมื่อต้องการตรวจสอบ SI เข้าไปที่คำสั่ง **Tools>>DRC [T,D]** จะเห็นไดอะล็อกบ็อกซ์ของ Design Rule Check ปรากฏขึ้น คลิกที่ปุ่ม *Signal Integrity* จะเห็นไดอะล็อกบ็อกซ์ใหม่ดังรูปที่ 12—4 ปรากฏขึ้น ภายในแสดงรายชื่อกฎการออกแบบเหมือนที่ปรากฏใน *Design Rule* กฎข้อใดที่กำหนดไว้จะมีกล่องให้เลือกได้ ส่วนกฎข้อใดที่ไม่ได้กำหนดใน *Design Rule* จะเป็นสีเทาจางและเลือกไม่ได้

ตามตัวอย่างกำหนดกฎไว้เพียงข้อเดียว เมื่อเลือกแล้วคลิกที่ OK จะเห็นไดอะล็อกบ็อกซ์หายไป คลิกที่ปุ่ม **Run DRC** รอสักครู่โปรเทลจะรายงานตำแหน่งที่ผิดพลาด(ถ้าหากมี) เมื่อต้องการดูรายละเอียดเข้าไปที่ *Browse PCB* เลือกบราวซ์ **Violations** เลื่อนไปเลือกชื่อที่ต้องการดูรายละเอียด คลิกที่ปุ่ม **Detail** จะเห็นไดอะล็อกบ็อกซ์แสดงรายละเอียดดูรูปที่ 12—5



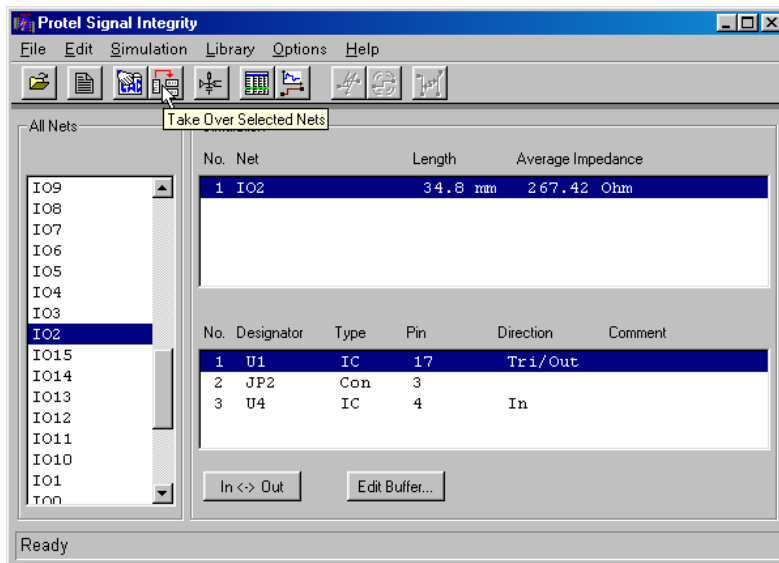
รูปที่ 12—5 การกำหนดและตรวจสอบ SI

การตรวจสอบ Reflection และ Cross-Talk

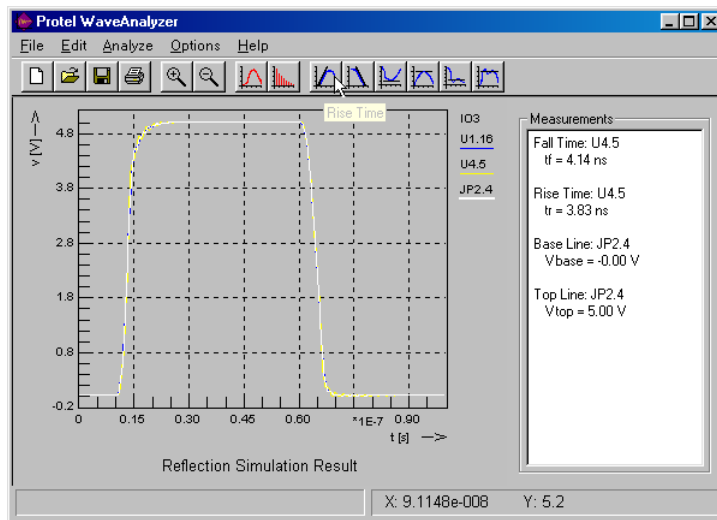
นอกจากตรวจสอบ SI ด้วยวิธี DRC จากภายใน โปรแกรมสามารถตรวจสอบโดยซอฟต์แวร์แยกต่างหาก วิธีการเรียกใช้ ระหว่างอยู่ใน PCB Editor ใช้คำสั่ง **Tools>>Signal Integrity** ซอฟต์แวร์นี้สามารถตรวจสอบการสะท้อนสัญญาณ (Reflection) และการรบกวนระหว่างสัญญาณ (Cross Talk)

การตรวจสอบ Reflection

เมื่อต้องการตรวจสอบการสะท้อนสัญญาณ เริ่มต้นโดยเลือกชื่อเน็ตที่ต้องการจากช่อง **All Net** คลิกที่ปุ่ม **Take Over Selected Net** (ดูรูปที่ 12—6) จากนั้นคลิกที่ปุ่ม **Reflection Simulation** รอสักครู่จะเห็นรูปคลื่นปรากฏขึ้น



รูปที่ 12—6 กำหนดชื่อ Net ที่ต้องการตรวจสอบ Reflection



รูปที่ 12—7 รูปคลื่นที่ได้จาก Reflection

การวิเคราะห์รูปคลื่น

รูปคลื่นที่แสดงผลการจำลองจะปรากฏขึ้นในหน้าต่าง Wave-Analyzer ในหน้าต่างนี้มีเครื่องมือเพื่อวิเคราะห์รูปคลื่นเช่น Rise Time (วัดช่วงเวลาขาขึ้นของสัญญาณ), Fall Time, Maximum, Minimum, Top-Line, Base-Line เป็นต้น เมื่อต้องการวัดรูปคลื่นใดให้คลิกที่ชื่อรูปคลื่นซึ่งแสดงอยู่ด้านข้างของรูปคลื่น จากนั้นคลิกที่เครื่องมือวัดที่ต้องการ ผลที่ได้จะแสดงอยู่ทางด้านขวามือในช่อง *Measurements*

Netlist Status	แสดงรายงานข้อมูลแต่ละ Net และเส้นทองแดงที่เดินบน Net มีความยาวเท่าใด
Measure Distance	สำหรับวัดระยะห่างระหว่างจุดสองจุด เมื่อเรียกคำสั่ง ซอฟต์แวร์จะรอให้คลิกที่จุดแรกและถามเพื่อให้คลิกที่จุดที่สอง จึงจะแสดงหน้าต่างใหม่เพื่อบอกระยะห่างกัน
Measure Primitives	ใช้สำหรับวัดระยะห่าง Primitive (ชิ้นส่วนพื้นฐานเพื่อประกอบเป็นส่วนต่างๆเช่น Track ประกอบด้วยเส้นตรงหลายๆเส้นมาต่อกัน, Component ประกอบด้วยเส้นโค้งและเส้นตรงมารวมกัน) การใช้งานเช่นเดียวกับ Measure Distance

ความสอดคล้องชิ้นงาน (Design Synchronization)

การออกแบบ PCB จะเริ่มต้นจากวงจร (Schematic Capture) จากนั้นนำ Netlist หรือรายชื่อการเชื่อมต่อสัญญาณไปเข้าส่วน PCB Editor เพื่อจัดเรียงตำแหน่งอุปกรณ์และเดินแทร็คเชื่อมต่อสัญญาณให้ครบตามระบุ วงจรคือส่วนที่ให้ผู้ออกแบบหรือผู้ใช้งานเข้าใจการทำงานได้ง่าย เพราะแสดงในรูปสัญลักษณ์และแผนทางไฟฟ้าเชื่อมโยงแสดงความเกี่ยวข้องกัน ส่วนใน PCB คือลายวงจรที่สะท้อนข้อมูลจากวงจร สิ่งที่ปรากฏในวงจร จะต้องถูกต้องตรงกับ PCB เอกสารทั้งหมดจึงจะมีความหมาย หากมีส่วนใดเปลี่ยนแปลงไป จะทำให้ไม่สามารถอ้างอิงระหว่างกันได้อีก กระบวนการใหญ่ๆทั้งสองช่วงเป็นกระบวนการที่เชื่อมโยงข้อมูลด้วย Netlist เท่านั้น ไม่มีส่วนใดเกี่ยวข้องกันอีก และที่สำคัญไฟล์ข้อมูลวงจรจะเก็บในไฟล์ซึ่งแยกจากไฟล์ของ PCB ถึงแม้ว่าตามระบบของโปรเทลจะเก็บไฟล์ทั้งสองไว้ภายใต้ Design Database เดียวกันก็ตาม การเก็บไฟล์ต่างกันหมายความว่าเมื่อมีการแก้ไข เช่นเปลี่ยนแปลงภายในวงจรซอฟต์แวร์จะบันทึกการเปลี่ยนแปลงในไฟล์วงจร ถ้าหากแก้ไขข้อมูลอุปกรณ์หรือการเชื่อมต่อ(เช่นเพิ่ม,ลดอุปกรณ์ เปลี่ยนตำแหน่งการเชื่อมลายทองแดง) ข้อมูลนี้จะเก็บไว้ในไฟล์ PCB เท่านั้น ไม่มีความเกี่ยวข้องกับทางด้านวงจร ความสัมพันธ์ที่หลวมเช่นนี้ จึงจำเป็นต้องมีกลไกสำหรับการเปลี่ยนข้อมูลไม่ว่าจะเปลี่ยนแปลงที่ใด ต้องสามารถนำการเปลี่ยนแปลงนั้นไปปรับปรุงอีกส่วนหนึ่งให้ตรงกัน กระบวนการเหล่านี้เรียกว่า “Design Synchronization”

ในบทที่ 5 เราได้ทดลองนำ Netlist จากสเค็มมาติกเข้าไปทำ PCB Layout โดยเรียกคำสั่งจากสเค็มมาติกคือ *Design>>Update PCB* วิธีนี้เป็นทางตรง ใช้ได้ทั้งกับเริ่มต้นชิ้นงานใหม่และเมื่อต้องการแก้ไขวงจร ซอฟต์แวร์จะทำงานโดยเปรียบเทียบความแตกต่างระหว่าง Part และ Net ทั้งในวงจรและ PCB จากนั้นจะสร้าง Macro ซึ่งเป็นคำสั่งสำหรับ PCB ผู้ใช้สามารถเลือก Preview และพิจารณาการเปลี่ยนแปลงก่อนจะตัดสินใจ ในกรณีชิ้นงานใหม่ Macro จะประกอบด้วยคำสั่ง Add Part(เพิ่มอุปกรณ์) และ Add Net(เพิ่มเน็ต) คือเพิ่มใหม่ ส่วนกรณีใช้กับชิ้นงานแก้ไขอาจจะมีทั้ง Del Part(ลบอุปกรณ์) และ Del Net(ลบเน็ต) และอื่นๆ

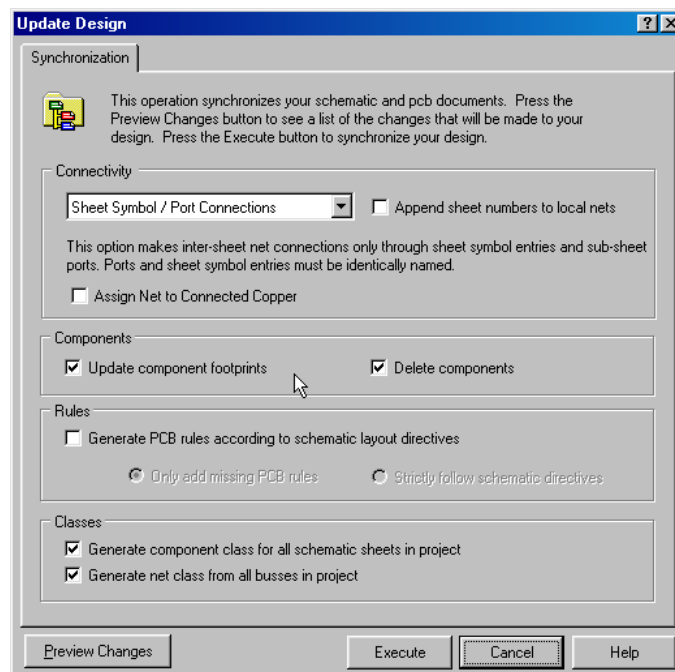
สำหรับการแก้ไขข้อมูล PCB เกี่ยวกับ Part และ Net เช่นเพิ่มหรือลด Part, เปลี่ยนชื่อ Part เพิ่มหรือลด Net และเปลี่ยนชื่อ Net จะทำให้ความสัมพันธ์ระหว่างวงจรและ PCB เสียไป ดังนั้นหลังจากแก้ไขใน PCB แล้วจำเป็นต้องปรับปรุงในสเค็มมาติกด้วยคำสั่ง *Design>>Update Schematic* จากใน PCB Editor

การส่งผ่าน Design ไปที่ PCB

การใช้ Synchronizer

ซิงโครไนเซอร์(Synchronizer) หมายถึงผู้ที่ทำให้ชิ้นงานระหว่างสเค็มมาติกและ PCB มีความสอดคล้องของข้อมูลทั้งอุปกรณ์และเน็ทระหว่างทั้งสองด้านถูกต้องตรงกัน เราจะใช้ Synchronizer ส่งผ่านข้อมูลจากสเค็มมาติก ซึ่งทำได้ทั้งเริ่มต้นชิ้นงานใหม่ๆ และใช้กับชิ้นงาน ที่ได้ทำไปบ้างแล้ว รวมทั้งชิ้นงานที่ทำเสร็จแล้วและต้องการแก้ไข

เมื่อแก้ไขวงจรในสเค็มมาติกเสร็จแล้วและต้องการให้สิ่งที่เปลี่ยนแปลงมีผลต่อ PCB ดังนั้นระหว่างอยู่ใน Schematic Editor เรียกใช้คำสั่ง **Design>>Update PCB** จะเห็นไดอะล็อกบ็อกซ์ปรากฏขึ้น แต่ละช่องมีความหมายดังนี้คือ



รูปที่ 12—9 ไดอะล็อกบ็อกซ์ของ Update Design

คู่มือ Protel99

Connectivity	กำหนดขอบเขตของ Net สำหรับวงจรแต่ละชนิดที่ได้ออกแบบ เช่น วงจรแผ่นเดียว, วงจรลำดับชั้น ขอให้ดูรายละเอียดในบทที่ 5
Append Sheet Number to Local Net	กรณีใช้วงจรหลายแผ่นและเชื่อมระหว่างแผ่นผ่าน พอร์ท ดังนั้น Net ในแต่ละแผ่นจะเป็น Local คือระหว่างแผ่นจะต่อไม่ถึงกันถึงแม้จะใช้ชื่อเดียวกัน เมื่อกำหนดทางเลือกนี้ซอฟต์แวร์จะเพิ่มชื่อชีตสำหรับเน็ตเหล่านี้
Assign Net to connected Copper	กำหนดชื่อเน็ตให้แก่แผ่นทองแดงที่ต่อถึง
Update component Footprint	ต้องการให้ชื่อ Footprint จากวงจรนำไปปรับปรุงบน PCB ด้วย
Delete Component	ต้องการให้ลบอุปกรณ์ซึ่งไม่มีใน PCB ออกไปจากบอร์ด
Rules	จะใช้ทางเลือกนี้เพื่อให้ส่งผ่านคำสั่งพิเศษ(Directive) จากวงจรไปเป็นกฎการออกแบบใน PCB
Only Add Missing PCB Rules	ถ้าใน PCB มีกฎการออกแบบ(Design Rule) กำหนดไว้ จะเปลี่ยนให้ตรงกับคำสั่งพิเศษ(Directive) แต่ถ้าหากไม่มีกฎการออกแบบอยู่ จะสร้างใหม่
Strictly follow schematic directive	เหมือนทางเลือกก่อนหน้า แต่หากมีกฎการออกแบบ ใน PCB ซึ่งไม่มีคำสั่งพิเศษที่ตรงกันในวงจรจะลบกฎข้อนั้นออก
Class	หมายถึงต้องการให้สร้าง Class ของ Component โดยจับกลุ่มอุปกรณ์ที่อยู่ในวงจรแผ่นเดียวกันเข้าด้วยกัน สำหรับ Multi-Part ซึ่งมีอยู่ในวงจรหลายแผ่นจะกำหนดให้อยู่ใน Class ที่ Part แรกปรากฏ
Creating Net Classes from Buses	หมายถึงต้องการให้สร้าง Net Class โดยยึดบัสในวงจรเป็นสมาชิกของ Class
Preview	ทางด้านล่างของไดอะล็อกบ็อกซ์มีปุ่มชื่อ Preview เพื่อแสดงการเปลี่ยนแปลงที่จะเกิดขึ้น ถ้าต้องการดูรายละเอียดทั้งหมดให้คลิกที่ปุ่ม Report ซอฟต์แวร์จะสร้างไฟล์ข้อความมีชื่อเดียวกับสเค็มมาติกแต่มีนามสกุลเป็น <ชื่อไฟล์>.SYN รายละเอียดการเปลี่ยนแปลงที่จะเกิดขึ้นจะแสดงอยู่ในนี้ทั้งหมด
Execute	สั่งให้การเปลี่ยนที่แสดงนำไปปฏิบัติ

สาเหตุของ Error และวิธีการแก้ไขมีดังนี้

Net not found	เกิดขึ้นเมื่อ Macro พยายามเพิ่มหรือลดจุดต่อ, ลบหรือเปลี่ยนชื่อเน็ต ซึ่งไม่สามารถหาชื่อนั้นพบบน PCB
Component not found	เกิดขึ้นเมื่อคำสั่ง Macro พยายามเพิ่มหรือลด จุดต่อ อุปกรณ์ที่กำหนดชื่ออ้างอิง(Reference Designator) ไม่ถูกต้อง หรือเกิดขึ้นเมื่อต้องการลบ,เปลี่ยนชื่อ Footprint, เปลี่ยนชื่ออ้างอิงอุปกรณ์ที่ไม่มีบน PCB
Node Not Found	เกิดขึ้นเมื่อ Macro พยายามเพิ่มจุดต่อ,ลบ จุดต่อจาก อุปกรณ์ แต่ไม่มีชื่อขาที่อุปกรณ์ หรือเกิดเมื่อต้องการลบจุดต่อซึ่งไม่มีอยู่บนเน็ต
Net already Exists	เกิดขึ้นเมื่อ Macro พยายามเพิ่มชื่อเน็ตซึ่งมีอยู่แล้วบน PCB
Component already Exists	เกิดขึ้นเมื่อ Macro พยายามเพิ่มอุปกรณ์ซึ่งชื่อนั้นมีอยู่แล้วบน PCB
New footprint not matching old footprint	เกิดขึ้นเมื่อ Macro เปลี่ยน Footprint ของอุปกรณ์แต่ชื่อขาของ Footprint ใหม่ไม่ตรงกับชื่อขา Footprint เดิม มักจะเกิดจากจำนวนขาไม่เท่ากัน หรือตั้งชื่อขาต่างระบบ เช่นเป็นตัวเลขและตัวอักษร
Footprint Not Found in Library	เกิดขึ้นเมื่อ Macro พยายามเพิ่มหรือเปลี่ยน Footprint แต่ไม่สามารถค้นหา Footprint ได้จากไลบรารี และหาไม่พบใน ADVPCB.XRF
Alternate Footprint Used Instead	กรณีนี้ไม่ใช่ความผิดพลาดแต่เป็นคำเตือน หมายถึงเมื่อเพิ่มหรือเปลี่ยน Footprint ของอุปกรณ์แต่ไม่สามารถหา Footprint จากไลบรารีที่เปิด แต่สามารถหาชื่อ Footprint แทนได้จาก ADVPCB.XRF และชื่อ Footprint นั้นอยู่ในไลบรารีที่เปิดไว้ด้วย จึงนำมาใช้แทน

ข้อสังเกตเรื่องการเรียกใช้ Footprint คือเมื่อสร้างวงจรและได้กำหนดชื่อ Footprint ไว้ในช่องคุณสมบัติของอุปกรณ์ ระหว่างทำ Design Synchronization ชื่อ Footprint นั้นจะต้องมีอยู่ในไลบรารีที่เปิดไว้ด้วย (ดูจากในแถบ *Browse PCB* และในช่อง *Library List*) ถ้าหากไม่มีชื่อ Footprint หรือชื่อ Footprint หาไม่พบซอฟต์แวร์จะค้นหาชื่อแทนจากใน ADVPCB.XRF เช่น 74LS00 ในไฟล์ XRF ชื่อ Footprint คือ DIP14 ดังนั้นถ้าหาก DIP14 มีอยู่ในรายชื่อไลบรารี ซอฟต์แวร์จะดึงมาใช้แทน

การเลือก PCB ที่เป็นเป้าหมาย

เมื่อทำ Design Synchronization จากวงจรไปยัง PCB จำเป็นต้องระบุไฟล์ PCB เป้าหมาย ซึ่ง Synchronizer จะใช้หลักการดังนี้ เริ่มแรกจะค้นหาไฟล์ PCB ภายในโพลเดอร์เดียวกับวงจร เมื่อพบจะใช้ไฟล์นั้น ถ้าหากมีไฟล์ PCB มากกว่าหนึ่งชื่อ ซอฟต์แวร์จะถามให้เลือก ถ้าหากไม่มีไฟล์ PCB ในโพลเดอร์เดียวกับวงจร ซอฟต์แวร์จะค้นหาทั้ง Design Database เมื่อพบจะถามให้ระบุชื่อไฟล์ PCB ที่ต้องการ ถ้าหากทั้ง Design Database ไม่มีไฟล์ PCB อยู่เลย Synchronizer จะสร้างไฟล์ PCB ขึ้นมาให้ใหม่

การส่งผ่าน PCB Directive

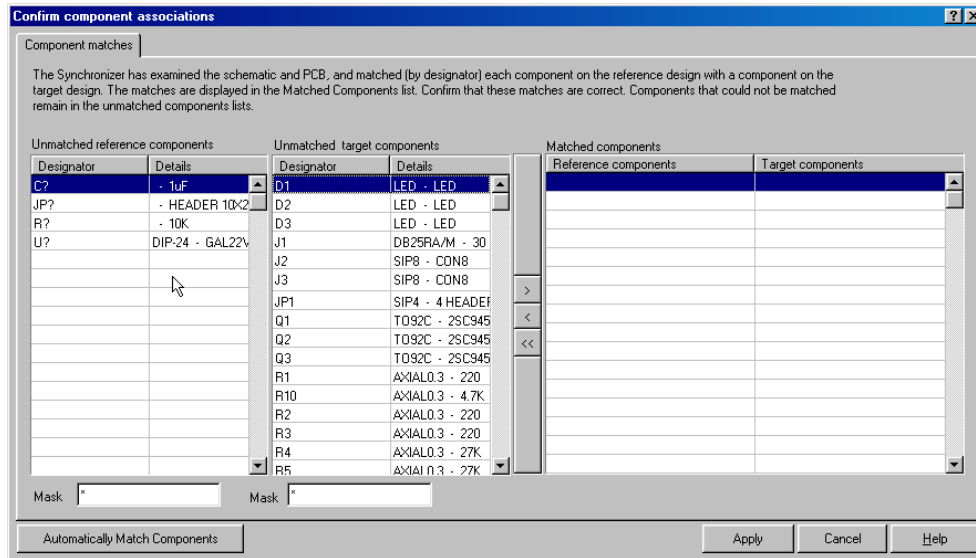
PCB Directive คือสัญลักษณ์คำสั่งพิเศษสำหรับกำหนดความต้องการของ PCB จากวงจร เมื่อต้องการใส่ ให้ใช้คำสั่ง **Place>>Directive>>PCB Layout** จะเห็นสัญลักษณ์ปรากฏขึ้น ซึ่งต้องนำไปวางบนเน็ตที่ต้องการ กำหนดคุณสมบัติประกอบด้วย Track Width, Via Width, Topology, Priority และ Layer เมื่อ Synchronizer ส่งผ่านชิ้นงานไป PCB จะเปลี่ยนคุณสมบัติของ Directive เหล่านี้ให้เข้ากับ Design Rule วิธีการจับคู่คือดังนี้

คุณสมบัติใน PCB Directive	เปลี่ยนเป็นใน Design Rules
Track Width-ความกว้างแทร็ค	Width Constraint
Via Width-ขนาด Via	Routing Via Style
Topology-รูปแบบการเชื่อมต่อ	Routing Topology
Priority-ลำดับความสำคัญการเดินแทร็ค	Routing Priority
Layer-ต้องการบังคับให้อยู่บนเลเยอร์	Routing Layer

การจับคู่ความสัมพันธ์

เมื่อทำการปรับความสอดคล้องชิ้นงาน(Synchronization) ซอฟต์แวร์จะเปรียบเทียบอุปกรณ์ระหว่างสเค็มมาติกและ PCB จากนั้นจะบันทึกคู่ที่สอดคล้องกัน เก็บไว้ในฐานข้อมูลภายใน ดังนั้นหมายความว่าต่อจากนี้ผู้ออกแบบสามารถเปลี่ยนคุณสมบัติต่างๆของอุปกรณ์ แม้แต่ชื่ออ้างอิง(Reference designator), ชื่อ Footprint ได้อย่างอิสระโดยไม่ต้องกังวลว่าโปรเทลจะไม่สามารถจำอุปกรณ์ตัวที่สอดคล้องกันได้ เพราะเมื่อสั่งทำอีกครั้ง Synchronizer จะใช้ข้อมูลคู่ความสัมพันธ์ที่บันทึกไว้ก่อนหน้า เพื่อปรับข้อมูลอีกส่วนให้ตรงกันได้เสมอ

อย่างไรก็ตามสำหรับระหว่างวงจรและ PCB ที่ไม่เคยบันทึกคู่ความสัมพันธ์ที่สอดคล้องกันไว้ระหว่างทำ Synchronization ซอฟต์แวร์จะถามยืนยัน โดยแสดงไดอะล็อกบ็อกซ์ เปรียบเทียบคู่ที่ซอฟต์แวร์พยายามเทียบได้ และคู่ที่เหลือซึ่งต้องการให้ออกแบบจัดการเอง



รูปที่ 12—10 แสดงไดอะล็อกบ็อกซ์ของการจับคู่ระหว่าง
อุปกรณ์ที่ไม่สอดคล้องกันใน PCB และสเค็มมาติก

- | | |
|-------------------------------|--|
| Matched Component | หมายถึงชื่ออุปกรณ์ที่ซอฟต์แวร์เลือกกำหนด ให้ตรงกัน
จะเปรียบเทียบกับชื่ออ้างอิง (Reference Designator)
เป็นหลัก |
| Unmatched Reference Component | หมายถึงรายชื่ออุปกรณ์ จากจุดเริ่มต้นและไม่มีที่เทียบได้
ในเป้าหมาย |
| Unmatched Target Component | หมายถึงรายชื่ออุปกรณ์ที่เป้าหมายและไม่มีที่เทียบได้จาก
วงจรเริ่มต้น |

ผู้ออกแบบจะต้องกำหนดตัวที่เทียบได้ระหว่างกัน คลิกที่ชื่อทั้งใน *Unmatched Reference* และ *Unmatched Target* จากนั้นคลิกที่ช่อง '>' เพื่อย้ายไปเข้าในกลุ่ม *Matched* จากนั้นคลิกที่ปุ่ม **Apply** ซอฟต์แวร์จะบันทึกข้อมูลคู่ที่สอดคล้องตามที่ได้เลือกไว้ทันที

การส่งกลับ Design จาก PCB

การส่งกลับข้อมูลชิ้นงานจาก PCB ไปวงจร สามารถทำได้เช่นเดียวกันแต่มีข้อจำกัดคือ ไม่สามารถทำได้
ทุกอย่าง เฉพาะที่สมบูรณ์คือ

- การเปลี่ยนชื่อ Reference Designator
- การเปลี่ยน Comment ของอุปกรณ์
- การเปลี่ยน Footprint

เมื่อสั่งทำ Design Synchronization จาก PCB สำหรับการเปลี่ยนข้อมูลเหล่านี้จะทำได้อัตโนมัติ ส่วนการเปลี่ยนที่เกี่ยวกับการเชื่อมต่อ(Connectivity) ซอฟต์แวร์จะบันทึกไว้ในไฟล์รายงาน เพื่อให้ผู้ออกแบบนำไปทำเอง หากต้องการ **Preview** และดูการเปลี่ยนแปลงที่จะเกิดขึ้นก่อน สามารถคลิกที่ปุ่ม **Report** เพื่อดูรายงานได้เช่นกัน

เมื่อต้องการทำ Synchronization ต้องอยู่ใน PCB Editor เรียกคำสั่ง **Design>>Update Schematic** จะเห็นไดอะล็อกบ็อกซ์ปรากฏขึ้น ความหมายเหมือนเช่นที่กล่าวมาใน “การส่งผ่าน Design ไปที่ PCB”

การซิงโครไนซ์สเค็มมาติกหรือ PCB ที่นำเข้า

นอกจากไฟล์สเค็มมาติกและไฟล์ PCB ซึ่งสร้างขึ้นมาเอง ซอฟต์แวร์ยังสนับสนุนการนำเข้า(Import) จากซอฟต์แวร์ระบบอื่นๆเช่นกัน เมื่อนำเข้ามาแล้วต้องเริ่มต้นทำ Synchronization ทั้งนี้เพราะกระบวนการ Synchronization คือการสั่งให้ซอฟต์แวร์จะบันทึกคู่ที่สอดคล้องกันกำหนดเป็น Matching ID เก็บไว้ในไฟล์สเค็มมาติกและ PCB เนื่องจากไฟล์ที่นำเข้าจะไม่มีส่วนนี้ ดังนั้นระหว่างทำ Synchronization ซอฟต์แวร์อาจจะถามให้ยืนยันการจับคู่เช่นเดียวกับหัวข้อที่ “การจับคู่ความสัมพันธ์”

การเลือกข้อมูลอ้างอิงสามารถเลือกได้ทั้งจากสเค็มมาติกไปที่ PCB หรือจาก PCB ไปที่สเค็มมาติกขึ้นอยู่กับว่าข้อมูลส่วนใดคือล่าสุด ควรใช้ข้อมูลนั้นเป็นตัวอ้างอิง ถ้าหากได้แก้ไขเช่นเพิ่ม Component ใน PCB เปลี่ยน Footprint, เปลี่ยน Connectivity เป็นต้น การเปลี่ยนเหล่านี้จะไม่เปลี่ยนที่สเค็มมาติกทันที ดังนั้นควรจะทำ Synchronization จาก PCB ไปที่สเค็มมาติกแต่ถ้าหากแก้งจร เช่น เปลี่ยน Net ใหม่ ดังนั้นควรจะปรับปรุง PCB โดยทำ Synchronization จากสเค็มมาติก

ข้อควรระวังและต้องทำความเข้าใจคือทั้งสองทางทำได้ไม่เท่ากัน จากสเค็มมาติกไปที่ PCB สามารถส่งข้อมูลการเปลี่ยนแปลง Component และ Connectivity ได้ทั้งหมด ส่วนจาก PCB กลับไปที่สเค็มมาติกจะส่งได้เพียงคุณสมบัติของ Component สำหรับ Connectivity และอื่นๆซอฟต์แวร์จะบันทึกไว้ในไฟล์รายงาน ผู้ออกแบบจะต้องนำมาเปลี่ยนแปลงด้วยตนเอง

สรุป

DRC เป็นเครื่องมือสำหรับตรวจสอบความถูกต้องชิ้นงาน ข้อบังคับสำหรับตรวจนำมาจากกฎซึ่งเป็นความต้องการ หรือข้อกำหนดเมื่อเริ่มต้นออกแบบนั่นเอง การตรวจด้วยซอฟต์แวร์สามารถทำได้ 2 ลักษณะคือชนิดทันที (Online) และตรวจเมื่อสั่งให้ทำ (Batch) การตรวจชนิดทันทีเหมาะสำหรับใช้ระหว่างออกแบบด้วยตนเอง เป็นการป้องกันให้ทุกขั้นตอนไม่มีโอกาสเกิดความผิดพลาด ส่วนชนิด Batch ใช้สำหรับตรวจทั้งชิ้นงานในคราวเดียว มักจะใช้ก่อนจะปิดชิ้นงาน นอกจากการตรวจพื้นฐานของวัตถุสำหรับออกแบบ โปรแกรมสามารถตรวจสอบในระดับการจำลองสัญญาณ (Signal Integrity) เพื่อให้ผู้ออกแบบทราบผลของสัญญาณ เมื่อส่งผ่านสายทองแดง ผ่านฉนวนของ PCB ไปยังด้านอินพุทของ

อุปกรณ์ ซึ่งมักจะมีรูปร่างไม่เป็นไปตามอุดมคติ และจะมีผลต่อการทำงานวงจร โดยเฉพาะอย่างยิ่งวงจรความเร็วสูง การตรวจสอบนี้มีประโยชน์มาก เพราะตรวจสอบได้ในชั้นซอฟต์แวร์ ไม่ต้องทำ PCB ต้นแบบแล้วมาวัดผล ช่วยลดขั้นตอนให้สำเร็จใจขึ้นออกแบบ เป็นแนวทางช่วยให้จำนวนรอบการทำต้นแบบ PCB น้อยลงได้มาก

เนื่องจากโครงสร้างการเก็บข้อมูลของ Schematic (วงจร) และ PCB อยู่ภายใต้ไฟล์ต่างกันดังนั้น ความสัมพันธ์ระหว่างทั้งสองส่วนจะส่งผ่านทาง Netlist ซึ่งมีข้อมูลของ Component และ Connectivity เป็นส่วนสำคัญ ข้อมูลอื่นๆเช่นตำแหน่ง Component, การจัดเรียง Wire, Bus และ Drawing อื่นๆไม่มีความหมายต่อกันและกันดังนั้นจึงไม่จำเป็นต้องส่งผ่านไประหว่างกัน ดังนั้นการแก้ไขแต่ละส่วนจะทำให้ความสอดคล้องระหว่างข้อมูลเปลี่ยนไป Design Synchronization จะทำให้ข้อมูลระหว่างวงจรและ PCB ปรับปรุงให้ถูกต้องเสมอ โดย Synchronizer จะบันทึก matching ID ของ Component ที่ตรงกันไว้ในไฟล์ทั้งสอง เมื่อใดก็ตามที่คุณสมบัติเช่น Reference Designator เปลี่ยนไป, Footprint เปลี่ยนไป สามารถนำข้อมูลนี้กลับไปเปลี่ยนในอีกส่วนได้เสมอ ทำให้ฐานข้อมูลมีความถูกต้อง ใช้อ้างอิงได้